

ヘッドサスペンションアセンブリ (HEAD SUSPENSION ASSEMBLY)

発明の技術分野 (FIELD OF THE INVENTION)

本発明は、磁気ディスク装置に用いられるヘッドサスペンションアセンブリに関する。

関連技術の説明 (DESCRIPTION OF THE RELATED ART)

この種の磁気ディスク装置では、サスペンションの先端部に取り付けられた磁気ヘッドスライダを、回転する磁気ディスクの表面から浮上させ、その状態で、この磁気ヘッドスライダに搭載された薄膜磁気ヘッド素子によって、磁気ディスクへの情報の記録及び／又は磁気ディスクからの情報の再生が行われる。

近年の磁気ディスク装置の大容量化及び高密度記録化に伴い、薄膜磁気ヘッド素子はより高い読取り感度を必要としている。このような高い読取り感度を実現する薄膜磁気ヘッド素子の電流容量は、極めて小さい。

このため、製造及び組立工程において、磁気ヘッド素子を取り扱う作業員の体に帯電している静電荷の放電 (ESD) による過電流、又は測定若しくは評価工程における意図しない過電流がこの磁気ヘッド素子に流れると、薄膜磁気ヘッド素子の特性劣化を招き、最悪の場合は磁気ヘッド素子の静電破壊をもたらす可能性がある。

記録用のインダクティブ素子及び再生用の磁気抵抗効果 (MR) 素子を有する複合型磁気ヘッドの静電破壊防止技術として、特開平 7-85422 号公報には、インダクティブ素子と MR 素子との間を $103-109\ \Omega\text{cm}$ の物質で短絡すると共に、MR 素子に接続される一対の端子間に正逆方向にそれぞれ 1 つのダイオードを接続する技術が開示されている。

また、同じく複合型磁気ヘッドの静電破壊防止技術として、特開平 7-141636 号公報には、磁気ヘッドの製造及び組立作業時に、この磁気ヘッドと磁気ディスク装置の電気回路とを電氣的に接続するフレキシブルプリント基板 (FPC) の信号読取端子を短絡させておき、組立作業終了後の特性測定作業前に短絡個所を FPC の切断により開放する技術が開示されている。

さらに、複合型磁気ヘッドの静電破壊防止技術として、米国特許第 5465186 号公報には、磁気ヘッドの製造及び組立作業時に、MR 素子の端子間をリード線により短絡しておき、組立作業中の適当な時期に、この短絡したリード線に正逆方向にそれぞれ 1 つのダイオードを並列に接続した後、並列接続部のリード線を切断し、MR 素子に上述のダイオードを並列接続した状態とする技術が開示されている。

しかしながら、特開平 7-85422 号公報に記載された従来の静電破壊防止技術によると、磁気ヘッドの製造工程において、インダクティブ素子と MR 素子との間を短絡する抵抗物質を設ける必要があるため工程が複雑となる。また、一方向に 1 つのダイオードしか接続していないため、十分な ESD 対策を期待することができない。特に、高感度の巨大磁気抵抗効果 (GMR) を利用した例えばスピナルブ MR 素子等では、静電破壊が生じる値よりはるかに小さい ESD によりその磁気特性が変化してしまうが、この公知技術では、このような磁気特性変化を防止することは不可能である。

また、特開平 7-141636 号公報に記載された従来の静電破壊防止技術によると、

特性測定作業後に発生することのあるE S D対策を別個に施す必要がある。

さらにまた、米国特許第5 4 6 5 1 8 6号公報に記載された従来の静電破壊防止技術によると、短絡個所を切断して開放するという容易ではない作業を行う必要がある。加えて、一方向に1つのダイオードしか接続していないため、十分なE S D対策を期待することができない。特に、例えばスピバルブMR素子等のGMR素子では、静電破壊が生じる値よりはるかに小さいE S Dによりその磁気特性が変化してしまうが、この公知技術では、このような磁気特性変化を防止することは不可能である。

発明の要約 (SUMMARY OF THE INVENTION)

従って本発明の目的は、E S Dによる薄膜磁気ヘッド素子の電磁特性の劣化を確実に防止することができるヘッドサスペンションアセンブリを提供することにある。

本発明によれば、少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、磁気ヘッドスライダを先端部に支持する支持機構と、薄膜磁気ヘッド素子の駆動回路と、各々が少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えたヘッドサスペンションアセンブリが提供される。

一方向について2つ以上のダイオード素子が、薄膜磁気ヘッド素子に接続される端子間に並列接続されている。その結果、静電気によって生じた過電流は、並列接続された2つ以上のダイオード素子に分流して流れるため、薄膜磁気ヘッド素子に流れる電流は大幅に低減し、耐静電特性が飛躍的に向上する。

各ダイオード素子は、導通動作の応答速度が1. 5 n s e c以下のダイオード素子であることが好ましい。

駆動回路がI Cチップ内に形成されており、ダイオード素子もI Cチップ内に設けられていることが好ましい。

I Cチップが、支持機構上に搭載されているか、又は支持機構より伸びる配線基板上に搭載されていることも好ましい。

薄膜磁気ヘッド素子が、再生用のMR素子のみか、又は記録用のインダクティブ素子及び再生用のMR素子であることが好ましい。

このMR素子が、GMR素子又はTMR (トンネル磁気抵抗効果) 素子であることも好ましい。GMR素子又はTMR素子のピン反転等の電磁特性変化は、この素子に比較的小さな、例えば20 mA程度の電流が流れても発生する。しかしながら、上述のように、並列接続された2つ以上ダイオード素子への分流が起こるため、このGMR素子又はTMR素子に流れる電流は非常に小さくなり、その結果、電磁特性の耐E S D性が大幅に向上する。

本発明の他の目的及び効果は、添付図面で説明される本発明の好ましい実施態様に関する以下の記載から明らかとなるであろう。

図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は本発明の好ましい実施形態としてスピバルブMR素子及びインダクティブ素子

を備えた複合型ヘッドサスペンションアセンブリの主にヘッド部及び駆動回路部の概略構成を示す断面図である；

図2は図1の実施形態における複合型ヘッドサスペンションアセンブリの全体を示す平面図である；

図3はスピバルブMR素子において、ピン反転が生じるESD電流の値のMR素子抵抗値依存性を示すグラフである；

図4a-4dはMR素子とこれに並列に接続するダイオード素子との種々の回路構成を示す回路図である；

図5は図4a-4dの各場合におけるESD電流とMR素子に実際に流れる電流との関係を示すグラフである；

図6はHuman Body ModelによるESD電流の波形を示すグラフである；

図7はスピバルブMR素子のESD電圧に対する出力電圧特性を示すグラフである；

図8はスピバルブMR素子のESD電圧に対する抵抗変化率 ΔR を示すグラフである；そして

図9本発明の他の実施形態における複合型ヘッドサスペンションアセンブリの全体を示す平面図である。

好ましい実施形態の説明 (DESCRIPTION OF THE PREFERRED EMBODIMENTS)

図1はGMR素子の一種であるスピバルブMR素子及びインダクティブ素子を備えた複合型ヘッドサスペンションアセンブリの主にヘッド部及び駆動回路部の概略構成を示している。

同図において、10は磁気ヘッドスライダ、11はスピバルブMR素子、12はMR素子11の下部磁気シールド層、13はMR素子11の上部磁気シールド層を兼用するインダクティブ素子の第1の薄膜磁気コア層、14はインダクティブ素子の第2の薄膜磁気コア層、15はインダクティブ素子のコイル、16はインダクティブ素子用の1対の端子電極、17はMR素子11用の1対の端子電極、18はMR素子11の両端及び1対の端子電極17を接続する1対の接続導体、19はインダクティブ素子用の1対の端子電極16とMR素子11用の1対の端子電極17とが接続されている駆動回路（ヘッドアンプ）をそれぞれ示している。

以上の構成は、一般的な複合型磁気ヘッドの構成と同じであるが、本実施形態では、駆動回路19の手前のMR素子11用の1対の端子電極17間に、4つのダイオード素子20a~20dが互いに並列に接続されている。実際には、駆動回路19及びダイオード素子20a~20dは、1つのICチップ21内に組み込まれている。

ダイオード素子20a及び20bは順方向が一方の方向となるように接続されており、ダイオード素子20c及び20dは順方向が他方の方向となるように接続されている。即ち、一方向について2つのダイオード素子が並列接続されている。

図2は、図1の実施形態における複合型ヘッドサスペンションアセンブリの全体を示している。

同図において、22は磁気ヘッドスライダ10を一方の端部に設けられた舌部で担持する可撓性のフレクチャー、23はフレクチャー22を支持固着するロードビーム、24は

ロードビーム23の基部に設けられたベースプレートをそれぞれ示している。

フレクシャー22上には、シリコン半導体によるICチップ21が搭載されており、このICチップ21内には、前述のごとく、ヘッドアンプである駆動回路19と4つのダイオード素子20a~20dとがIC化されて一体的に形成されている。ICチップ21の大きさとしては、単なる一例であるが、1.0mm×1.0mm×0.25mmである。また、ICチップ21の取り付け位置は、耐ESD特性の向上、電磁特性の向上及び実装における容易性から、このようにサスペンション上の磁気ヘッドスライダ10に近い位置としている。

フレクシャー22上には、さらに、入出力信号線としてフレキシブルプリント基板(FPC)の形態による複数のリード導体25が形成されており、これらリード導体25の一端はフレクシャー22の先端に設けられた磁気ヘッドスライダ10の前述の端子電極16及び17に接続されており、他端はICチップ21を介して外部回路と接続するための接続パッド26に接続されている。

周知のように、スピンバルブMR素子は、2つの強磁性薄膜層を非磁性金属層で磁氣的に分離してサンドイッチ構造とし、その一方の強磁性薄膜層に反強磁性薄膜層を積層することによってその界面で生じる交換バイアス磁界をこの一方の強磁性薄膜層(ピンニングされる層、ピンド層)に印加するようにしたものである。交換バイアス磁界を受けるピンド層と受けない他方の強磁性薄膜層(フリー層)とでは磁化反転する磁界が異なるので、非磁性金属層を挟むこれら2つの強磁性薄膜層の磁化の向きが平行、反平行と変化し、これにより電気抵抗率が大きく変化するので巨大磁気抵抗効果が得られる。

スピンバルブMR素子の出力特性等は、非磁性金属層を挟むこれら2つの強磁性薄膜層(ピンド層及びフリー層)の磁化のなす角度によって定まる。フリー層の磁化方向は磁気媒体からの磁界の方向に従って容易に磁化し、一方、ピンド層の磁化方向は反強磁性薄膜層との交換結合により一方向(ピンニングされる方向、ピンド方向)に制御される。しかしながら、スピンバルブMR素子に何らかの原因で熱及び磁界が印加されると、このピンド方向の反転(ピン反転)が生じることがある。

例えばESD電流によって発生するジュール熱及び磁界により、ピン反転が発生する可能性がある。図3は、スピンバルブMR素子において、ピン反転が生じるESD電流値のMR素子抵抗値依存性を示すグラフである。MR素子抵抗値が50Ωである場合、MR素子にHuman Body Modelでの実験で20mA以上のESD電流が流れるとピン反転が発生することが分かる。

そこで、本発明では、このようなスピンバルブMR素子と並列に一方向について複数のダイオード素子を接続することにより、このMR素子に20mA以上のESD電流が流れないようにしているのである。

図4a~4dは、MR素子とこれに並列に接続するダイオード素子との種々の回路構成を示しており、図4aはMR素子40にダイオード素子を全く接続しない場合、図4bは従来技術のように一方向について1つのダイオード素子41を並列接続した場合、図4cは本実施形態のように一方向について2つのダイオード素子41及び42を並列接続した場合、図4dは一方向について3つのダイオード素子41~43を並列接続した場合をそれぞれ示している。

また、表1及び図5は、図4 a－4 dの各場合におけるESD電流 I_{ESD} とMR素子に実際に流れる電流 I_{MR} との関係を示している。ただし、MR素子の抵抗値が 50Ω であり、ダイオード素子の導通時の抵抗が 8Ω であるとしている。

表1

ESD current I_{ESD} (mA)	MR current I_{MR} (mA)			
	No diode (Fig. 4a)	Single diode (Fig. 4b)	Two diodes (Fig. 4c)	Three diodes (Fig. 4d)
20.0	20.0	2.8	1.5	1.0
100.0	100.0	13.8	7.4	5.1
200.0	200.0	27.6	14.8	10.1
300.0	300.0	41.4	22.2	15.2

表1及び図5から分かるように、図4 aの場合は、印加されるESD電流 I_{ESD} がそのままMR電流 I_{MR} として流れてしまう。また、図4 bの従来技術の場合は、ESD電流 I_{ESD} が約 150mA を越えるとMR電流 I_{MR} が 20mA を越えてピン反転が発生する。

しかしながら、図4 cのように一方向について2つのダイオード素子4 1及び4 2を並列接続した場合は、ESD電流 I_{ESD} が約 270mA を越えるまでは、MR電流 I_{MR} が 20mA を越えることはなく、従ってESD電流によるピン反転も発生しない。さらに、図4 dのように一方向について3つのダイオード素子4 1～4 3を並列接続した場合は、ESD電流 I_{ESD} が約 300mA を越えても、MR電流 I_{MR} が 20mA を越えることはなく、従ってESD電流によるピン反転も発生しない。

このように、電流の一方の方向について2つ以上のダイオード素子をMR素子に並列に接続することにより、耐ESD特性が大幅に向上する。本実施形態では並列接続するダイオード素子の数が2つであるが、その数をより増大させればその分MR電流が低減するので、耐ESD特性はより向上する。

並列接続する各ダイオード素子の特性として、その導通動作電圧は、MR素子の最大出力電圧より大きくする必要がある。MR素子のセンス電流が 10mA 、その抵抗値が 50Ω であるとする、ダイオード素子の導通動作電圧は、少なくとも、 $50 \times 0.1 = 0.5\text{V}$ より高くなければならない。

また、ダイオード素子の導通応答速度は、速ければ速いほどよいが、少なくとも 1.5ns 以下であることが望ましい。図6はHuman Body ModelによるESD電流の波形を示すグラフであり、同図の実線AはそのESD電流自体を示しており、破線Bはダイオード素子を並列接続した場合である。この破線Bの鋭いピークがリーク電流である。リーク電流は、ダイオード素子の導通応答速度より速い信号であり、ダイオード素子の導通応答速度が速ければ速いほど小さくなる。従って、ESDモデルの1つであるCDM

(Charged Device Model)において、 1.5ns の電流印加でのESD破壊報告が現在存在すること、及びピン反転がESD破壊よりも小さな電流で発生することを考慮すると、ダイオード素子の導通応答速度は、少なくとも 1.5ns 以下であることが要

求されるのである。

このような条件を満足するダイオード素子は、ディスクリート部品としては、種々存在しており（例えば、東芝製のダイオード1SS362）、これと同等の特性を有するダイオードをICチップ化することによって本実施形態のヘッドサスペンションアセンブリを実現することができる。

図7及び図8は、スピンバルブMR素子のESD電圧に対する出力電圧特性及びESD電圧に対する抵抗変化率 ΔR をそれぞれ示すグラフである。これらの図において、aはMR素子にダイオード素子を全く接続していないヘッドサスペンションアセンブリ、b～dは従来技術のように一方向について1つのダイオード素子を並列接続したヘッドサスペンションアセンブリ、e及びfは本実施形態のように一方向について2つのダイオード素子を並列接続したヘッドサスペンションアセンブリの特性をそれぞれ示している。なお、使用したESDシミュレータは、擬似Human Body Model（RSIMU=1500 Ω 、C=100pF）である。

図7から明らかなように、MR素子にダイオード素子を全く接続していない場合a、及び一方向について1つのダイオード素子を並列接続した場合b～dは、比較的低いESD電圧（約70V以下）でMR素子のピン反転が生じてその出力電圧が反転している。これに対して、一方向について2つのダイオード素子を並列接続した場合e及びfは、それよりかなり高いESD電圧（約250V程度）となるまでピン反転が生じず、磁気的なダメージを受けにくくなっている。

また、図8から明らかなように、MR素子にダイオード素子を全く接続していない場合a、及び一方向について1つのダイオード素子を並列接続した場合b及びcは、比較的低いESD電圧（約400V）でESD電流によりMR素子の溶解が生じて抵抗値が変わるESD破壊が生じている。これに対して、一方向について2つのダイオード素子を並列接続した場合e及びfは、ESD電圧が800V以上となってもESD破壊が生じない。

なお、スピンバルブMR素子のピン反転が起こる印加エネルギー量は、ESD破壊が起こるエネルギー量に比して非常に低く（約1/4以下）、従来のESD破壊防止技術によってスピンバルブMR素子のピン反転を阻止することは不可能であることに注目すべきである。

以上説明したように、本実施形態によれば、スピンバルブMR素子に対して、一方向について2つのダイオード素子を並列接続しているため、ESD電流による電磁特性の劣化及びESD破壊を防止することができる。また、これらのダイオード素子を駆動回路と共にICチップ化しているため、部品点数を増大させることなく、ESD対策を施すことができる。ヘッドサスペンションアセンブリの製造及び組立工程において作業員の人体に耐電している静電荷は、磁気ヘッド素子とICチップ等によるヘッド駆動回路とを接続する導体部分から侵入することが多い。従って、上述のダイオード素子を備えたICチップをサスペンション上に搭載することにより、磁気ヘッド素子に近い位置でESD対策が施されることとなるから、その保護効果がより増大する。

なお、上述した実施形態は、スピンバルブMR素子のESD対策に関するものであるが、本発明は、その他のGMR素子、TMR素子、異方性磁気抵抗効果（AMR）素子、さらにはインダクティブ素子のESD対策に対しても適用可能である。

図9は、本発明の他の実施形態における複合型ヘッドサスペンションアセンブリの全体

を示している。

同図に示すように本実施形態では、リード導体 25 を有する FPC 27 がサスペンションの後方まで伸長しており、この FPC 27 上に IC チップ 21 が搭載されている。即ち、図 2 の場合には、サスペンション上に IC チップ 21 が搭載されているが、この実施形態では、サスペンション上ではない FPC 27 上に搭載されている。その他の構成及び作用効果は前述の実施形態の場合とほぼ同様である。

以上述べた実施形態は全て本発明を例示的に示すものであって限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従って本発明の範囲は特許請求の範囲及びその均等範囲によってのみ規定されるものである。

66307-66460

請求の範囲 (WHAT IS CLAIMED IS:)

1. 少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、
該磁気ヘッドスライダを先端部に支持する支持機構と、
前記薄膜磁気ヘッド素子の駆動回路と、各々が前記少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、該少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えたことを特徴とするヘッドサスペンションアセンブリ。
2. 前記各ダイオード素子は、導通動作の応答速度が1.5 nsec以下のダイオード素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
3. 前記駆動回路がICチップ内に形成されており、前記ダイオード素子も該ICチップ内に設けられていることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
4. 前記ICチップが、前記支持機構上に搭載されていることを特徴とする請求項3に記載のヘッドサスペンションアセンブリ。
5. 前記ICチップが、前記支持機構より伸びる配線基板上に搭載されていることを特徴とする請求項3に記載のヘッドサスペンションアセンブリ。
6. 前記薄膜磁気ヘッド素子が、磁気抵抗効果素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
7. 前記磁気抵抗効果素子が、異方性磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
8. 前記磁気抵抗効果素子が、巨大磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
9. 前記磁気抵抗効果素子が、トンネル磁気抵抗効果素子であることを特徴とする請求項6に記載のヘッドサスペンションアセンブリ。
10. 前記薄膜磁気ヘッド素子が、記録用のインダクティブ素子及び再生用の磁気抵抗効果素子であることを特徴とする請求項1に記載のヘッドサスペンションアセンブリ。
11. 前記磁気抵抗効果素子が、異方性磁気抵抗効果素子であることを特徴とする請求項10に記載のヘッドサスペンションアセンブリ。

12. 前記磁気抵抗効果素子が、巨大磁気抵抗効果素子であることを特徴とする請求項10に記載のヘッドサスペンションアセンブリ。

13. 前記磁気抵抗効果素子が、トンネル磁気抵抗効果素子であることを特徴とする請求項10に記載のヘッドサスペンションアセンブリ。

開示の要約 (ABSTRACT OF THE DISCLOSURE)

少なくとも1つの薄膜磁気ヘッド素子を有する磁気ヘッドスライダと、磁気ヘッドスライダを先端部に支持する支持機構と、薄膜磁気ヘッド素子の駆動回路と、各々が少なくとも1つの薄膜磁気ヘッド素子の最大出力電圧より大きな導通動作電圧を有しており、少なくとも1つの薄膜磁気ヘッド素子に接続される端子間に一方向について少なくとも2つ並列接続されたダイオード素子とを備えている。